

For Distribution



Imagination

Дополнение: Как проектируются IP-блоки и системы на кристалле (СнК)

Как проектируются IP-блоки и СнК

- **Основа проектирования - RTL-to-GDSII Design Flow**
 - Основная методология последних 25 лет
- **RTL – Register Transfer Level, уровень регистровых передач**
 - Способ детального описания функционирования устройства
 - Использует текст на языках Verilog или VHDL
- **GDSII – формат базы данных с описанием топологии микросхемы**
 - Отправляется от разработчика на фабрику
 - Оперировать геометрическими фигурами
 - На основе GDSII изготавливается фотошаблон и затем микросхемы

Ключевые шаги на пути от RTL к GDSII

Эти шаги делаются с помощью специальных программ для проектировщиков

- **Логический синтез**

- На входе - описание поведения схемы на языке Verilog или VHDL
- На выходе - граф из проводов и логических элементов (netlist)

- **Placement**

- Размещение логических элементов по площадке микросхемы

- **Routing**

- Соединение размещенных логических элементов проводами

Иллюстрация: Код на языке Verilog – счетчик

```
module counter
(
    input          clock,
    input          reset,
    output logic [1:0] n
);

    always @(posedge clock)
    begin
        if (reset)
            n <= 0;
        else
            n <= n + 1;
    end
endmodule
```

Иллюстрация: что делает схема

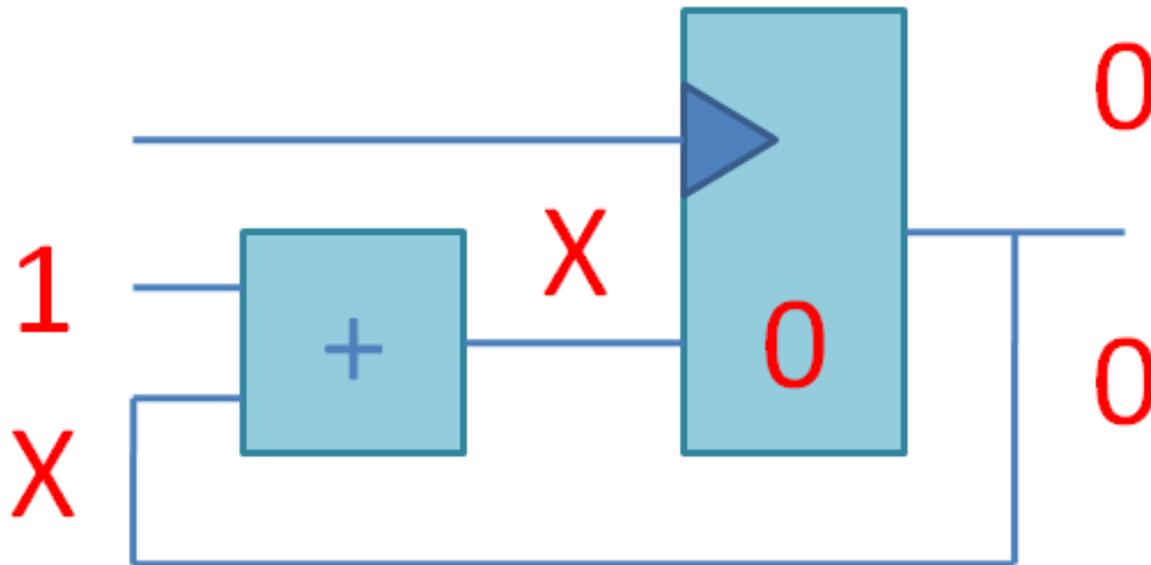
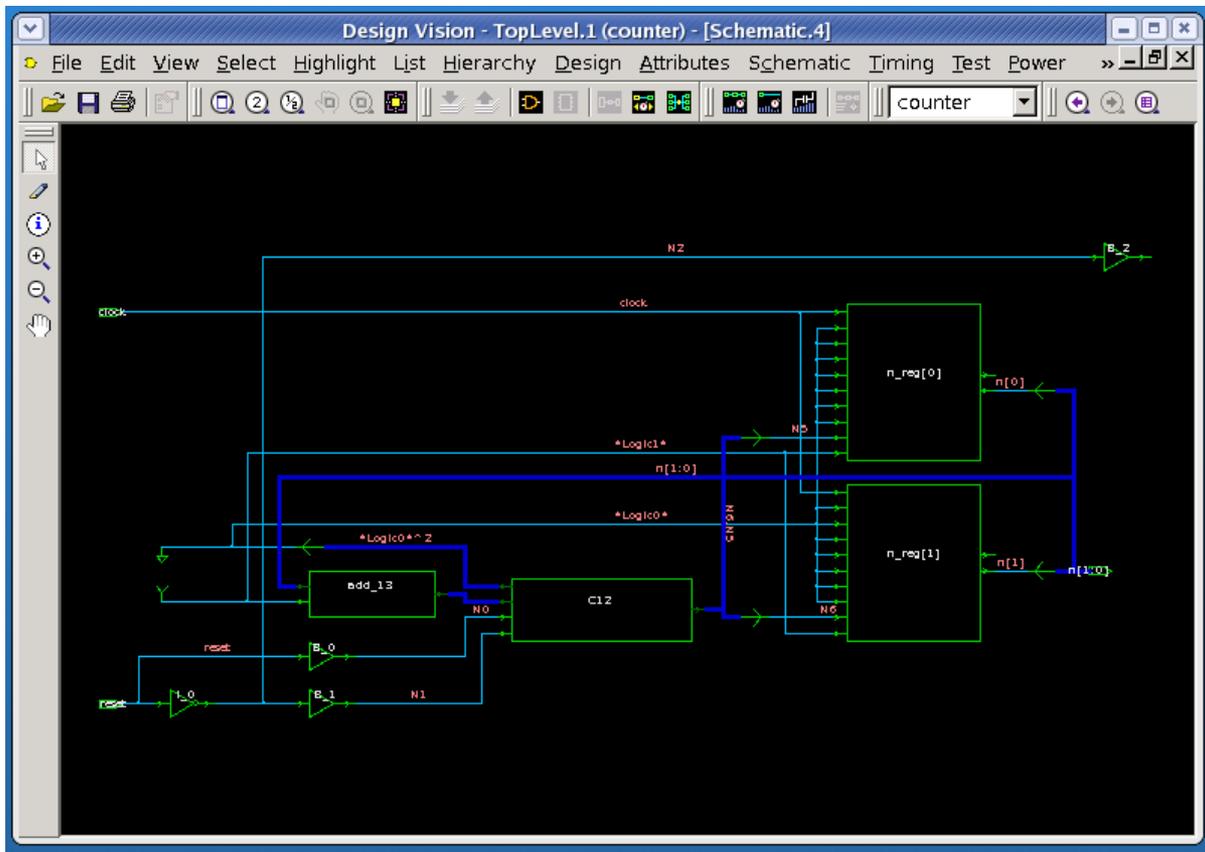


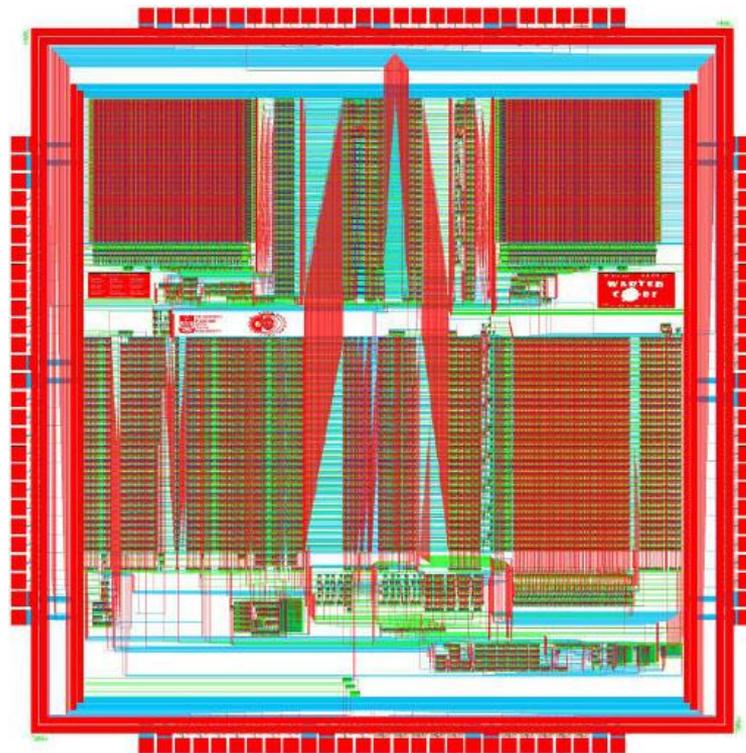
Иллюстрация: схема после синтеза



Пример конечного результата проектирования

После логического синтеза, place & route

- Простой вариант процессора архитектуры MIPS
- Разработан студентами Harvey Mudd College
- Источник - <http://www.staticfreesoft.com/electricGallery.html>



For Distribution



Imagination

Спасибо!