

For Distribution



Imagination

Ядра MIPS для микроконтроллеров Microchip

www.imgtec.com

Чем ядра MIPS M4K, M14K и microAptiv хороши для микроконтроллеров?

- **Наилучший баланс между производительностью, энергопотреблением и ценой в своем классе**
- **Программная совместимость со всем спектром устройств с архитектурой MIPS**
 - От микроконтроллеров до бытовой электроники и сетевых устройств
- **Зрелые и хорошо оптимизирующие компиляторы**
- **Большое количество RTOS-ов и другого программного обеспечения, написанного для архитектуры MIPS**
- **Возможность использования микроконтроллеров на основе MIPS для целей образования**
 - MIPS широко используется в университетах в курсах по компьютерной архитектуре, дизайну цифровой логики и программированию на языке ассемблера

Лучшая производительность в своем классе

- **MIPS M4K**

- 1.5 DMIPS / MHz
- На технологии 90 nm G может работать на 340MHz
- В Microchip PIC32 работает на частоте 80 MHz

- **MIPS M14K**

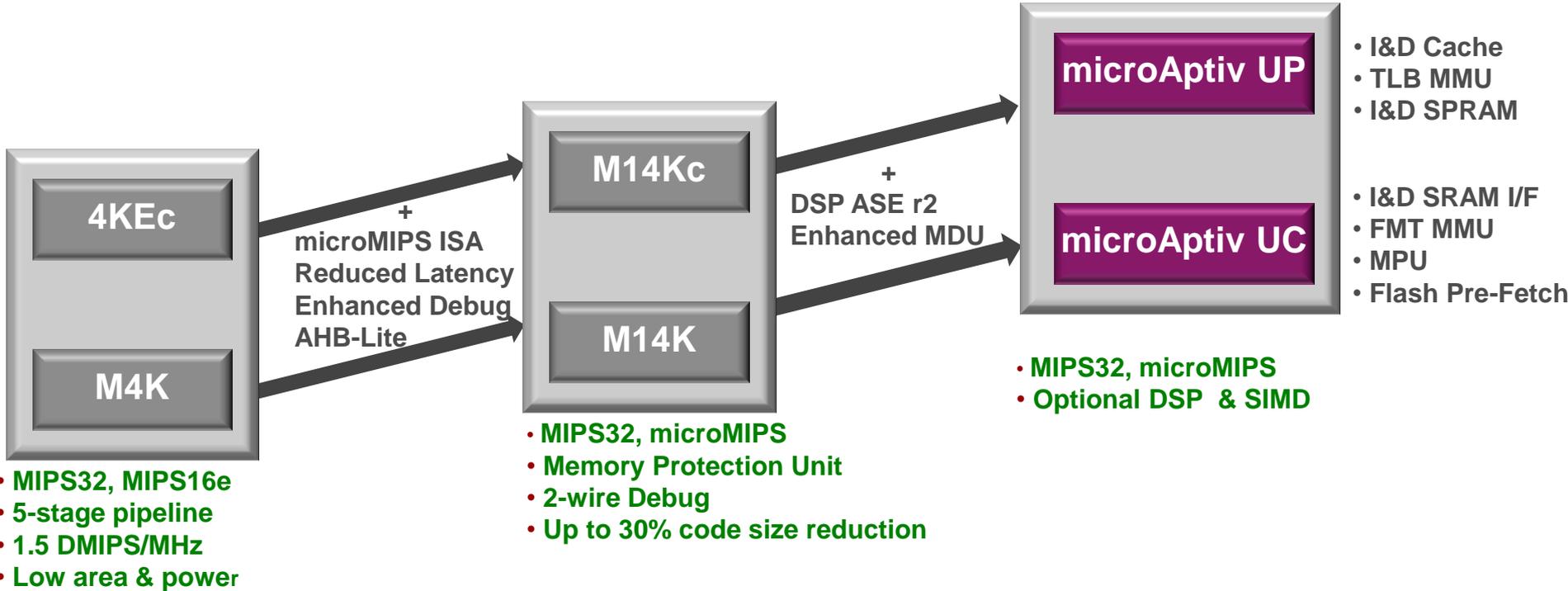
- 1.57 DMIPS / MHz
- 2.72 CoreMarks / MHz
- На технологии 65LP может работать на 400 MHz

- **MIPS microAptiv**

- 1.57 DMIPS / MHz
- 3.09 CoreMarks / MHz в режиме microMIPS (16-битный набор инструкций)

MIPS32[®] MCU/MPU Embedded Processor Cores

Same Architecture & ISA
Same Development Tools



microAptiv DSP Enabled Core Specifications

Target Specs

microAptiv (DSP Enabled)	MCU	MCU	MPU
Process	90LP	65LP	65G
Prod Freq (MHz)	235	380	500
Core Area (mm ²)	0.42	0.24	0.32
Core Active Power (mW/MHz)	0.16	0.08	0.10
Library	9T-SVt	9T-LVt	9T-SVt

Frequency, power consumption and size depend upon configuration options, synthesis, silicon vendor, process and cell libraries

- Production frequency, PTISI, +/- 5% OCV, 100ps clock jitter
- Core Area = **Std cell**
- **MCU = Speed Optimized – microMIPS+MCU ASE+DSP ASE + Fast MDU + Scan+Prefetch+AHB+Memory Protection**
- **MPU = Speed Optimized – microMIPS+MCU ASE+DSP ASE + Fast MDU +Scan+16 TLB MMU + AHB. Memory configuration – 8KB/8KB I/D Cache**

Embedded / MCU

- 150MHz – 90LP
- Real time
- Flash/SRAM
- DSP ASE
- MPU Security
- RTOS/Linux

Mobile

- 300MHz – 65LP
- Real time
- Flash/SDRAM
- DSP ASE
- MPU/MMU
- RTOS/Kernel

Networking

- 400MHz – 65G
- High throughput
- Cache/SDRAM
- DSP ASE
- MPU/MMU
- RTOS/Linux

Strong Industry MCU Adoption

- **4KEc, most licensed MIPS Core**
 - >65 cumulative licensees
- **M4K, first MCU-specific MIPS Core**
 - >30 licensees, including Microchip, leading MCU developer
 - Shipping in MCU, Mobile Phone, Cable Modem, Consumer Electronics
- **M14K/c, fastest licensed MIPS Core**
 - Released Q1 2010 with >25 Licenses
 - Designed in MCU, Smart Grid, VoiP, Security, Wireless Network and Office Automation systems



Winner:
Best IP

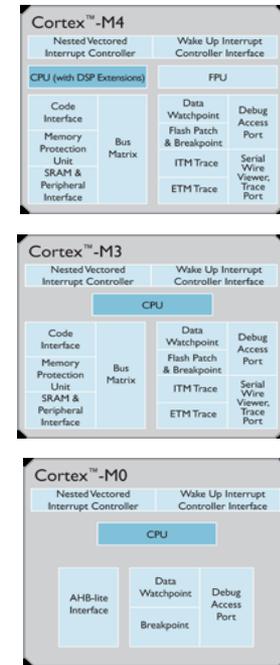
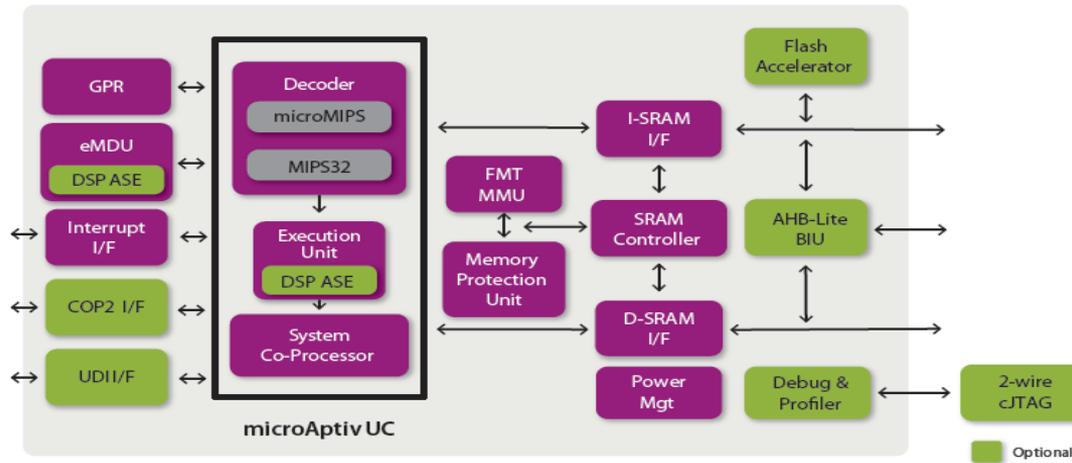


Winner: Leading
Product



- **microAptiv™ – Launched in Q2 2012**

Flexibility and Value – ‘Three Cores in One’



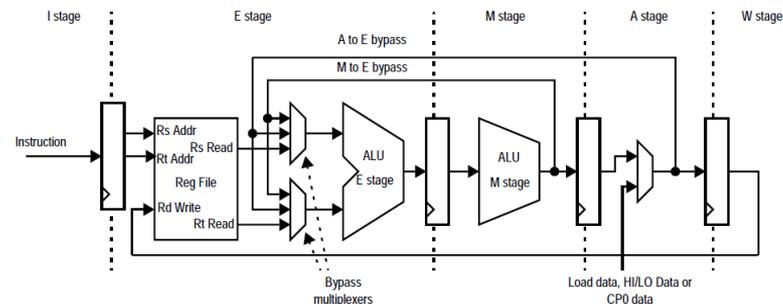
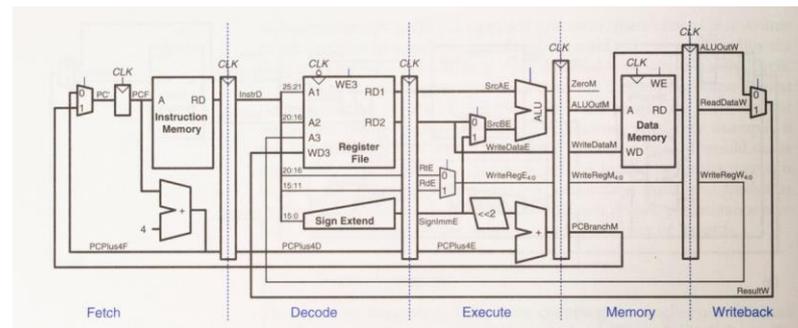
- microAptiv UC is highly configurable, equivalent to Cortex M0, M3 or M4
- One license, multiple cores, re-use capability
- Single design covers many applications
- Single development system
- Leverage design experience

Главные особенности

- **Пять стадий конвейера**
 - Использование форвардинга данных для минимизации остановок конвейера
- **32-битный набор инструкций и 16-битные инструкции для экономии памяти**
- **Два варианта трансляции виртуальных адресов для защиты памяти**
 - Фиксированная или с использованием буфера ассоциативной трансляции
- **Различные опции умножения и деления для разработчика SoC**
 - Быстрое и медленное, а также специальные команды для алгоритмов DSP
- **Векторные прерывания и поддержка внешнего контроллера прерываний**
- **Набор «теневых» регистров для ускоренной обработки прерываний**
 - Не требуется сохранение регистров в обработчике прерывания
- **Гибкий контроль энергопотребления**

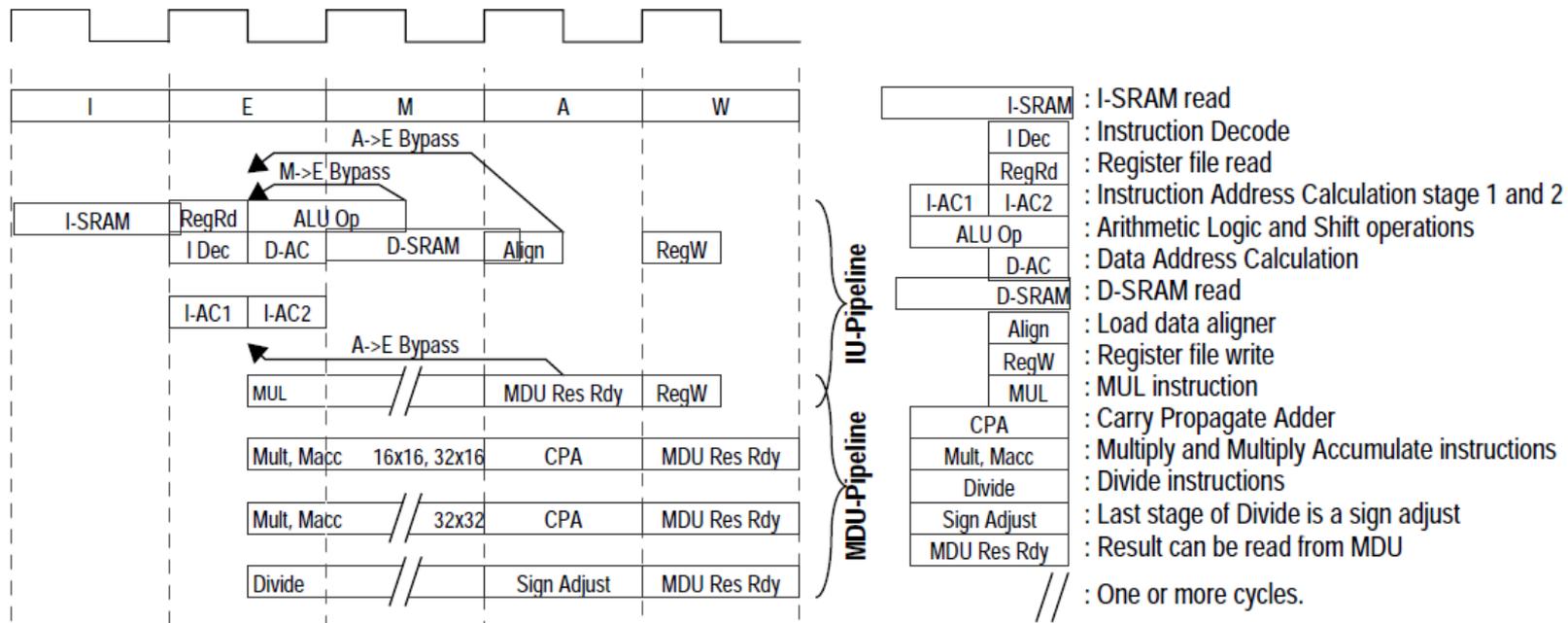
Конвейер M4K напоминает конвейер из учебников

- Сверху – конвейер процессора, реализующего подмножество архитектуры MIPS из учебника
 - David Harris and Sarah Harris. Digital Design and Computer Architecture, 2-nd edition. 2012.
- Снизу – конвейер промышленного процессора MIPS M4K
 - MIPS32® M4K™ Processor Core Software User's Manual



Сохраняя преемственность от элегантного академического дизайна, промышленный MIPS M4K оптимизирован по таймингу и содержит много опций

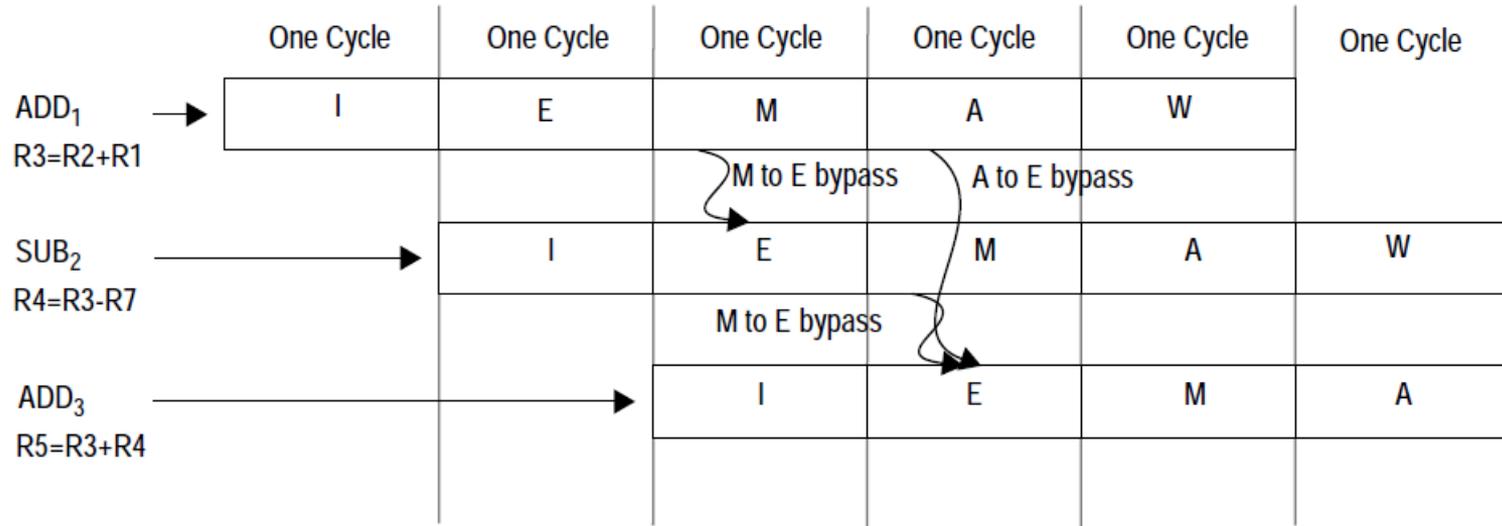
Более полная диаграмма конвейера MIPS M4K (вариант с быстрым умножением и делением)



Источник: MIPS32® M4K™ Processor Core Software User's Manual

Иллюстрация форвардинга в конвейере MIPS M4K

Форвардинг позволяет избежать остановок конвейера (stall и slip)



Источник: MIPS32® M4K™ Processor Core Software User's Manual

16-битные наборы инструкций – MIPS16e и microMIPS

▪ MIPS16e

- Используется в M4K и старших ядрах – 24K, 74K и других
- Программы, скомпилированные с использованием MIPS16e – на 25-30% меньше, чем без него

▪ microMIPS

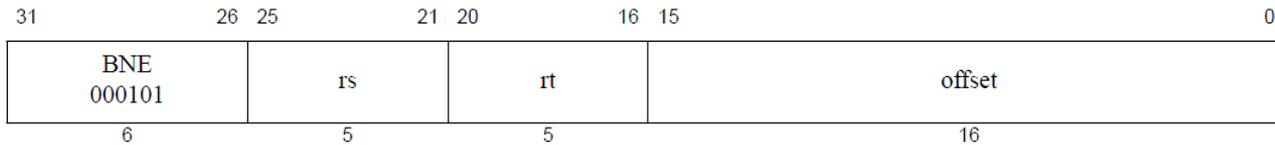
- Реализован в M14K и microActiv
- Не просто расширение системы команд, а новая, альтернативная MIPS32 система команд, состоящая из смеси 16-ти и 32-битных команд
- При «компрессии» 35% потеря быстродействия всего 2%

▪ Переключения между режимами – на лету

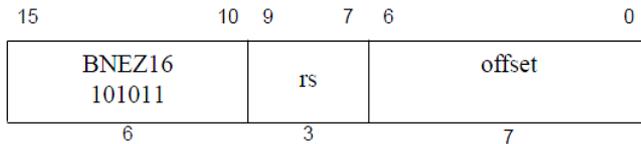
- Главный способ переключения - переход или вызов функции по содержимому регистра, в младшем бите которого стоит 1

Пример 32-битной и 16-битной команд

MIPS32: Условный переход, когда содержимое двух регистров (*rs* и *rt*) не равно. Частный случай: условный переход, когда содержимое регистра не равно содержимому регистра 0, в котором всегда находится нуль.



microMIPS (M14K и interAptiv): Условный переход, когда содержимое регистра (*rs*) не равно нулю



Умножение и деление

- Ядра M4K / M14K / interAptiv предоставляют разработчику системы на кристалле (System on Chip – SoC) несколько конфигураций ядра для умножения и деления
 - Высокая производительность
 - Умножение за один цикл синхросигнала
 - Умножение со сложением (multiply-accumulate – MAC) за один или два цикла
 - 32-бита на 16-бит – за один цикл
 - 32-бита на 32 бита – за два цикла
 - Низкая производительность, зато и малая площадь на кристалле (и энергопотребление)
 - Итеративный алгоритм умножения

Зачем нужна специальная команда умножения со сложением - MADD?

- Эта команда часто встречается в алгоритмах цифровой обработки сигналов – Digital Signal Processing (DSP)
- Например вот формула для простого частотного фильтра (Finite Impulse Response Filter – FIR filter), убирающего определенные частоты из оцифрованного звукового сигнала

$$\begin{aligned}y[n] &= b_0x[n] + b_1x[n - 1] + \dots + b_Nx[n - N] \\ &= \sum_{i=0}^N b_i x[n - i]\end{aligned}$$

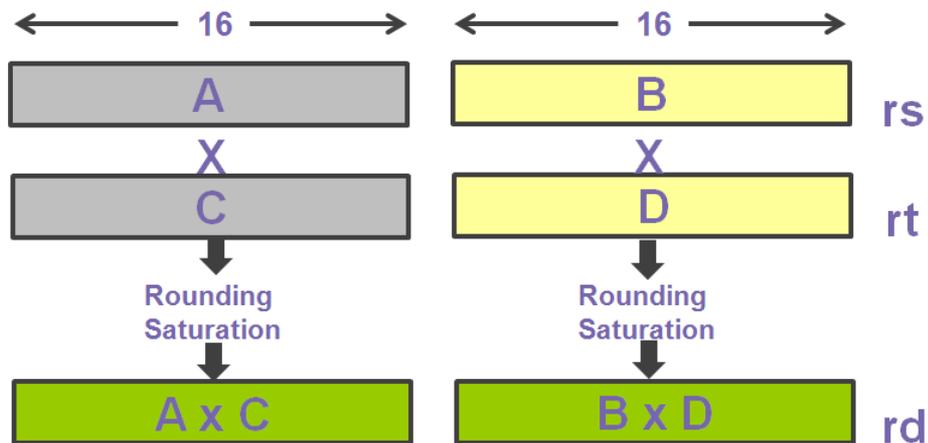
microAptiv реализует набор инструкций для DSP

- **Инструкции для одновременных арифметических операций с четырьмя байтами 32-битного слова, которые рассматриваются как независимые числа**
 - То же – с двумя полусловами 32-битного слова
- **Арифметика с фиксированной точкой**
 - Для DSP алгоритмов наиболее полезными является 32-битные числа с точкой после старшего 31-го бита (Q31) и 16-битные числа с точкой после старшего 15-го бита (Q15). Старший бит и в одном, и в другом представлении содержит знак
- **Арифметика с насыщением – saturation arithmetic**
 - В этой арифметике есть понятие «много» и умножение или сложение любого числа с «много» дает «много»
- **Дополнительные операции умножения со сложением (multiply-accumulate – MAC), которые используют четыре независимых аккумулятора**
- **Операции округления, работы с битами и т.д. – все, что повышает бенчмарки у алгоритмов цифровой обработки сигналов**
- **Все эти инструкции могут использоваться с коде на C с помощью вызова специальных псевдо-функций**

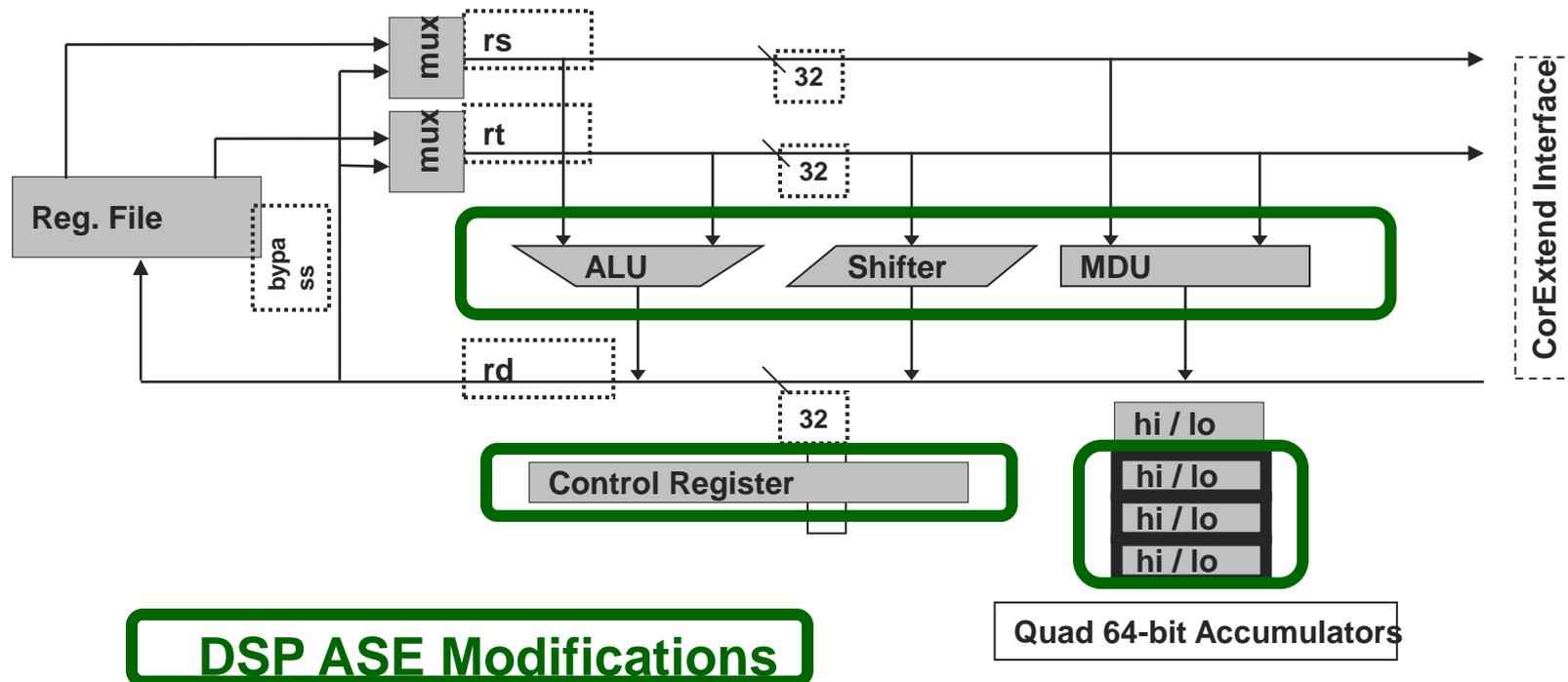
Пример команды из DSP-расширения

▪ MULQ_RS.PH, rd, rs, rt

- Q означает «операция с фиксированной точкой» (fractional data type)
- PH означает «независимо умножить 16-битные элементы двух 32-битных векторов»
- RS означает «округление» (rounding) и «насыщение» (saturation)



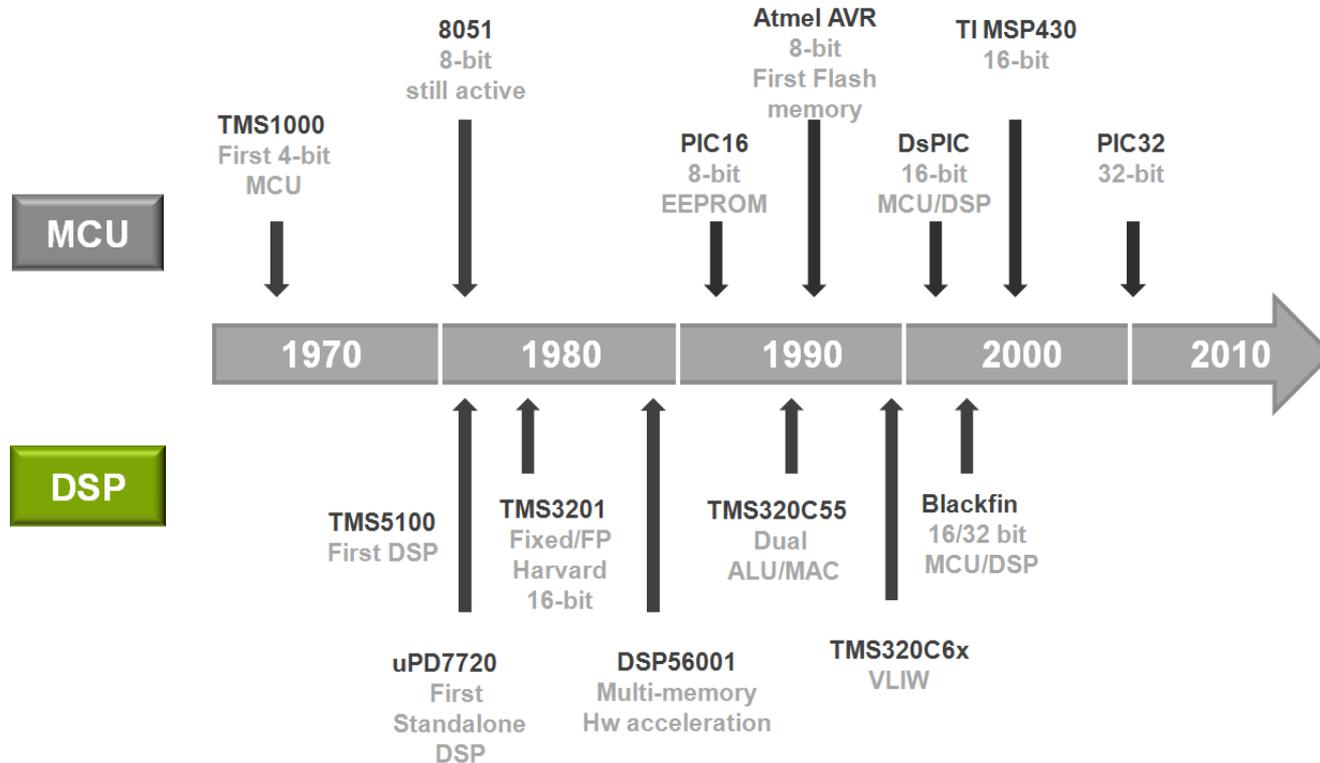
DSP ASE Block Diagram



DSP ASE Modifications

Quad 64-bit Accumulators

MIPS microActiv - объединение двух трендов в эволюции микроконтроллеров и DSP



Новые инструкции для эксклюзивного доступа

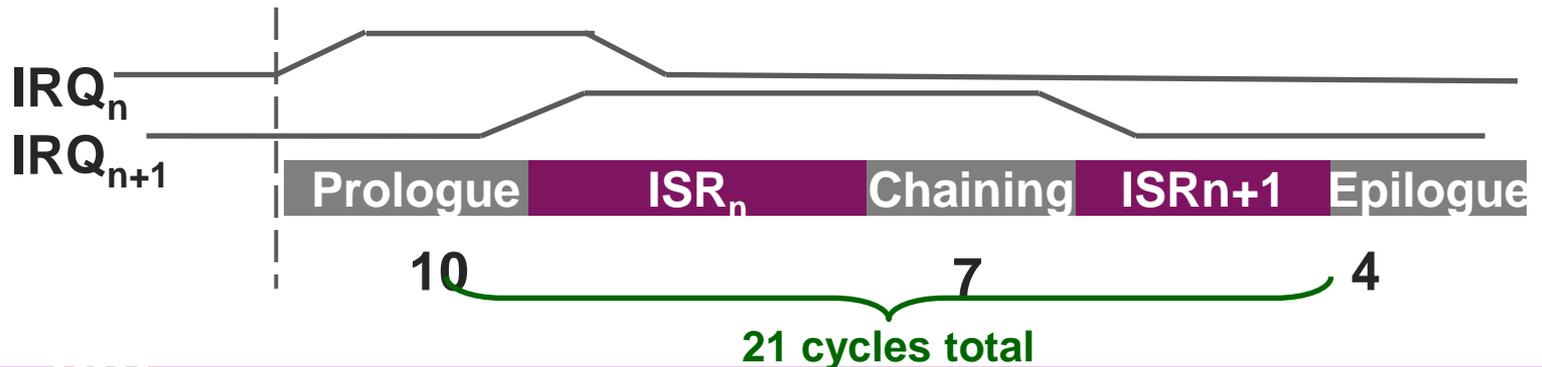
- **В M14K и microAptiv появились новые инструкции для эксклюзивного доступа к памяти**
 - ASET – Atomic Bit Set
 - ACLR – Atomic Bit Clear
 - Инструкции работают только с некешируемой (uncached) памятью
- **Что использовалось раньше в архитектуре MIPS для эксклюзивного доступа к памяти**
 - LL – Load Linked
 - SC – Store Conditional
 - Функциональность типа ASET требовала нетривиального программирования
- **В чем преимущество новых инструкций?**
 - Гораздо проще писать код для частного случая эксклюзивного доступа к памяти
 - Работают с битами
 - Имеют предсказуемый тайминг для чтения, модификации и записи модифицированного значения

Оптимизация обработки прерываний в M14K и microAptiv

- Добавлено в M14K и соответственно в microAptiv
- Во время прерывания происходит спекулятивный prefetch для адреса обработчика прерывания
- Автоматическое сохранение в стеке и восстановление процессором регистра COP0 Status, EPS и подобной информации с Interrupt Automated Prologue (IAP) и Interrupt Automated Epilogue (IAE)
- «Цепные» (chained) прерывания – если одно прерывание случилось после другого, то первому не требуется возвращаться в код до прерывания – переход в обработчик второго случится немедленно, даже минуя IAE и IAP
- Новая инструкция IRET в дополнение к старой ERET для использования с IAP/IAE и цепными прерываниями

MCU ASE - Reduced Interrupt Latency

- **Interrupt vector pre-fetching**
- **Automated interrupt prologue**
 - StackPtr adjustment – 3 to 32 words
- **Automated interrupt epilogue**
 - Provides options in dealing with nested exceptions
- **Interrupt chaining**



Экстра: Простор для инноваций в системах на кристалле

- У внешнего интерфейса ядер M4K, M14K и microAptiv существует сигнал DS_Lock, который позволяет строить системы из очень большого количества малых ядер
 - DS_Lock – индикатор доступа к памяти с помощью команд Load Linked (LL) и Store Conditional (SC)
 - LL и SC предназначены для программирования многоядерных систем
 - Теоретически разработчик системы на кристалле может посадить на одну микросхему сотни ядер M4K и сделать «суперкомпьютер на кристалле» для специализированных вычислительных задач
- У всех этих ядер имеется интерфейс CorExtend для добавления блока «пользовательских» команд, а также интерфейс для «пользовательского» сопроцессора 2
 - Под «пользователем» имеется в виду разработчик системы на кристалле
 - Интерфес для сопроцессора 2 использовался например для видеопроцессора Sony Playstation I и II
 - Об этих свойствах ядер более подробно рассказано в одной из следующих презентаций

For Distribution



Imagination

Спасибо!