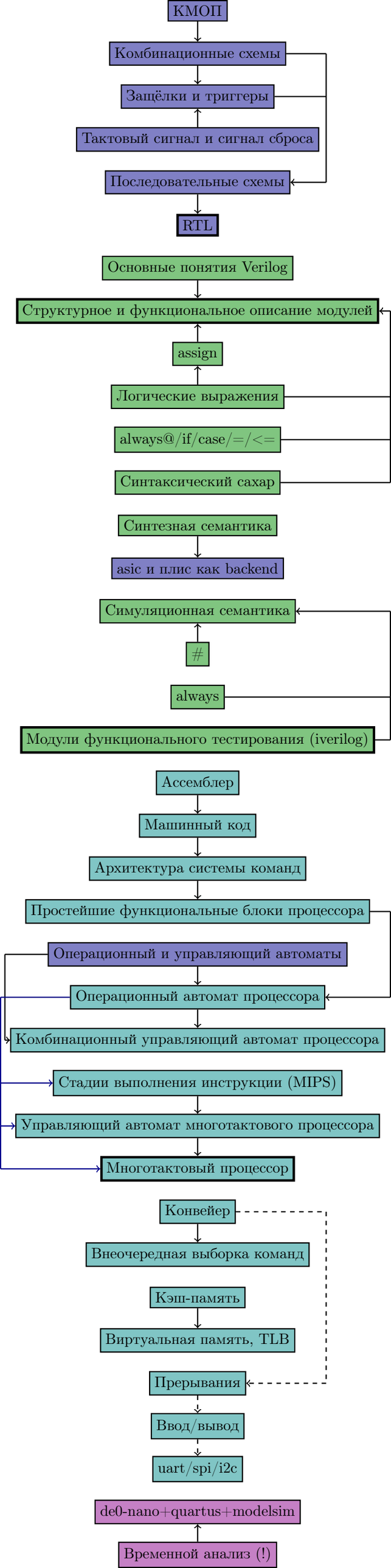
КМОП
Комбинационные схемы
Защёлки и триггеры
Тактовый сигнал и сигнал сброса
Последовательные схемы
RTL
Основные понятия Verilog
Структурное и функциональное описание модулей
assign
Логические выражения
always@/if/case/=/<=
Синтаксический сахар
Синтезная семантика
asic и плис как backend
Симуляционная семантика
#
always
Модули функционального тестирования (iverilog)
Ассемблер
Машинный код
Архитектура системы команд
Простейшие функциональные блоки процессора
Операционный и управляющий автоматы
Операционный автомат процессора
Комбинационный управляющий автомат процессора
Стадии выполнения инструкции (MIPS)
Управляющий автомат многотактового процессора
Многотактовый процессор
Конвейер
Внеочередная выборка команд
Кэш-память
Виртуальная память, TLB
Прерывания
Ввод/вывод
uart/spi/i2c
de0-nano+quartus+modelsim
Временной анализ (!)